

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-261307

(43)Date of publication of application : 22.09.2000

(51)Int.Cl.

H03K 19/195

(21)Application number : 11-059414

(71)Applicant : NEC CORP  
INTERNATL SUPERCONDUCTIVITY  
TECHNOLOGY CENTER

(22)Date of filing : 05.03.1999

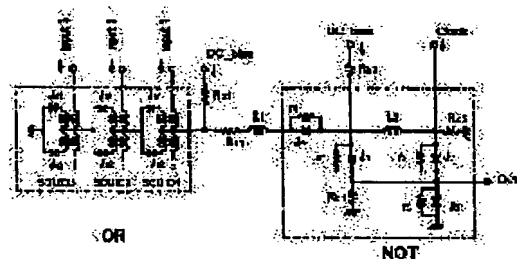
(72)Inventor : NAGASAWA SHUICHI  
MIYAHARA KAZUNORI  
ENOMOTO YOICHI

## (54) SUPERCONDUCTING NOR CIRCUIT

## (57)Abstract:

PROBLEM TO BE SOLVED: To operate a system with a DC power source and to input multiple input signals without increasing power consumption by providing an OR circuit constituted of multiple input magnetic field connection element to which superconducting quantum interference elements are connected and a NOT circuit where a signal magnetic flux quantum is set to be the base of an operation.

SOLUTION: When at least one or more input signals, i.e., input 1-3, are added, at least one or more superconducting quantum interference elements in superconducting quantum interference elements SQUID1-3 which are connected in series are switched to a voltage state. Thus, DC bias current flowing in a ground face through the superconducting quantum interference elements is supplied to an SFQ-NOT circuit through a load resistor RL1 and inductance L1. At least one or more magnetic quanta are generated at this time. When an SFQ(single magnetic flux quantum) pulse signal is inputted and a clock signal is inputted in the SFQ-NOT circuit, an output signal is not generated. An SFQ pulse is outputted in a state where the SFQ pulse signal is not inputted.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

BEST AVAILABLE COPY

[Number of appeal against examiner's decision  
of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-261307

(P2000-261307A)

(43) 公開日 平成12年9月22日 (2000. 9. 22)

(51) Int.Cl.<sup>7</sup>

H 0 3 K 19/195

識別記号

Z A A

F I

H 0 3 K 19/195

テマコード(参考)

Z A A 5 J 0 4 2

審査請求 未請求 請求項の数4 OL (全 6 頁)

(21) 出願番号

特願平11-59414

(22) 出願日

平成11年3月5日 (1999. 3. 5)

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(71) 出願人 391004481

財団法人国際超電導産業技術研究センター

東京都港区新橋5丁目34番3号 栄進開発

ビル6階

(72) 発明者 永沢 秀一

東京都江東区東雲一丁目14番3号 財団法人

国際超電導産業技術研究センター 超

電導工学研究所内

(74) 代理人 100071272

弁理士 後藤 洋介 (外1名)

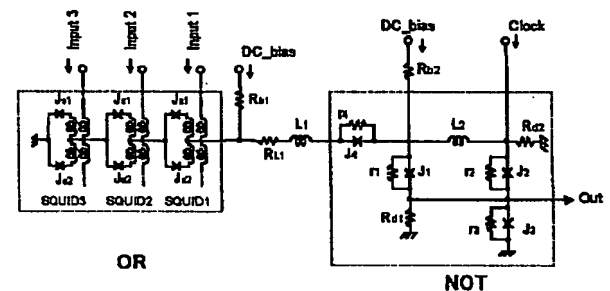
最終頁に続く

(54) 【発明の名称】 超伝導NOR回路

(57) 【要約】

【課題】 直流電源で動作させることができ、消費電力を低減できる超伝導NOR回路を提供することである。

【解決手段】 OR回路と、NOT回路とにより構成された超伝導NOR回路において、OR回路を電圧型論理の多入力磁界結合素子によって構成すると共に、セルフリセットモードで動作させることにより、直流バイアスでの動作を可能にし、且つ、これにより発生する複数のSFQパルスをSFQを動作の基本とするNOT回路で否定論理を取ると同時にSFQパルスに変換して出力させる超伝導NOR回路が得られる。



## 【特許請求の範囲】

【請求項1】 少なくとも2個以上のジョセフソン接合とインダクタンスから成る超伝導ループと、前記超伝導ループに接続された2個の接続端と、前記超伝導ループに磁氣的に結合するように配置された1本または複数本の入力信号配線とから構成される超伝導量子干渉素子を複数個直列に前記接続端間を接続した多入力磁界結合素子と、第1の抵抗と、第2の抵抗と、第1のインダクタンスと、単一磁束量子を動作の基本とするNOT回路とから構成され、前記多入力磁界結合素子の一端は接地面に接続され他端は第1の接続点に接続され、前記第1の抵抗の一端は直流電流供給端子に接続され他端は前記第1の接続点に接続され、前記第1の接続点と前記NOT回路の信号入力端間に前記第2の抵抗と前記第1のインダクタンスが接続されたことを特徴とする超伝導NOR回路。

【請求項2】 請求項1記載の超伝導NOR回路において、前記NOT回路は、信号入力端と直流バイアス入力端とクロック信号入力端と出力端を有し、前記信号入力端から入力されたデータ信号を単一磁束量子として保持し、その後クロック信号が入力された時に、その補信号を出力端に単一磁束量子パルスの形で出力することが可能な単一磁束量子NOT回路であることを特徴とする超伝導NOR回路。

【請求項3】 請求項1記載の超伝導NOR回路において、多入力磁界結合素子の全てのジョセフソン接合は、マッカンバ係数が1以上のアンダーダンピング状態で動作するように設定され、一方NOT回路の全てのジョセフソン接合は、マッカンバ係数が1以下のオーバーダンピング状態で動作するように設定されていることを特徴とする超伝導NOR回路。

【請求項4】 請求項1記載の超伝導NOR回路に於いて、前記多入力磁界結合型素子の磁氣的に結合された複数個の入力信号配線の少なくとも1個以上に信号が入力された時、前記多入力磁界結合型素子がセルフリセットモードで動作し、少なくとも1個以上の単一磁束量子パルスを第2の抵抗と第1のインダクタンスを介してNOT回路に入力することが可能なように、前記第2の抵抗と第1のインダクタンスの値が所望の値に設定されたことを特徴とする超伝導NOR回路。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、極低温で動作する超伝導集積回路の基本ゲートに関するものであり、具体的には、複数個の入力信号に対して論理和をとりさらにその否定論理をとるという機能（NOR論理）を有する超伝導NOR回路に関するものである。

## 【0002】

【従来の技術】 一般に、超伝導集積回路には、大きく分けて2つの種類がある。1つは、ジョセフソン素子の電

流電圧特性に現れる強い非線形性を利用したもので、電圧型論理と呼ばれている。電圧型論理は、半導体の集積回路で使用されている論理と同じ論理形式である。もう1つは、ジョセフソン素子の電流位相特性の非線形性を利用したものでフラクソイド型論理と呼ばれている。上記した電圧型論理の超伝導集積回路は、一定の時間（例えばクロック周期の間）一定の電圧（通常、状態“0”を零電圧レベル、状態“1”を所望の出力電圧レベルに設定する）を出力することを特徴とする回路であり、この電圧レベルに応じて論理動作を行う回路である。電圧型論理の超伝導集積回路の動作信号を、レベル信号と呼ぶことにする。電圧型論理の超伝導集積回路では、通常、マッカンバ係数が1以上のアンダーダンピング状態のジョセフソン素子を交流電流でバイアスして使用する（マッカンバ係数は、ジョセフソン素子の特性を示す1つの定数であり、 $2\pi I_0 C R_D^2 / \Phi_0$ 、ここで、 $I_0$ はジョセフソン素子の臨界電流値、 $C$ はキャパシタンス、 $R_D$ は抵抗、 $\Phi_0$ は単一磁束量子を示す。詳しくは、文献：倍風館発行の超高速ジョセフソン・デバイスの38頁参照）。

【0003】 一方、フラクソイド型論理の超伝導集積回路は、単一磁束量子（SFQ：Single Flux Quantum）パルスを出力することを特徴とする回路であり、磁束量子の伝搬や回路の量子状態に応じて論理動作を行う回路である。フラクソイド型論理の超伝導集積回路の動作信号を、SFQパルス信号と呼ぶことにする。フラクソイド型論理の超伝導集積回路では、通常、マッカンバ係数が1以下のオーバーダンピング状態のジョセフソン素子を直流電流でバイアスして使用する。

【0004】 ここで、NOR論理は、良く知られているように、論理和をとり、更に、その論理和出力の否定論理をとれば実現できる。従って、超伝導NOR回路は、超伝導のOR回路（和論理）と超伝導のNOT回路（否定論理）で構成することが出来る。

【0005】 電圧型論理の超伝導NOR回路としては、従来、図4に示す回路が提案されている。この回路は、電圧型論理で動作するジョセフソン磁界結合型多入力論理和回路（特願H05-123676）と、同じく電圧型論理で動作する超伝導量子干渉素子（SQUID）で構成したNOT回路とで構成されている。この回路の特徴は、OR回路が直列接続された磁界結合型の超伝導量子干渉素子（SQUID）で構成されているため、入力信号本数が増えても、即ち直列接続されたSQUIDの数が増えても、SQUIDへのバイアス電流が増大しないこと。さらに、多数のNOR回路を配置する場合にも入力信号を磁氣的に結合できるため、入力信号配線の直列接続が可能になり入力信号電流を増やすことなく多数のNOR回路を駆動できるという利点がある。

【0006】 また、近年、直流（DC）バイアスで動作し、より高速動作が可能なフラクソイド型論理の回路が

盛んに研究されている。フラクソイド型論理の超伝導NOR回路は、従来から知られているSFQのOR回路とSFQのNOT回路（文献：IEEE Tran. Applied Superconductivity, Vol. 3, no. 1, pp. 2566-2577, Mar. 1993参照）で容易に構成することが出来る。図5にこの一例を示す。図5の回路は、2入力のSFQ\_OR回路とSFQ\_NOT回路で構成されている。この回路は、全て直流（DC）でバイアスされるので、交流（AC）電源を必要とせず、より高速で動作可能という特徴がある。

【0007】

【発明が解決しようとする課題】しかしながら、上記従来の技術の超伝導NOR回路には、次の様な問題点がある。

【0008】まず、電圧型論理の超伝導NOR回路（図4）は、電圧型論理回路の一番の問題点として、バイアス電流を交流（AC）で供給しなければならないという問題がある。これは回路規模が大きくなるに伴い、供給すべき交流（AC）の電流も比例して増大するため、高周波の大電流を供給しなければならないという大きな問題になる。

【0009】次に、図5のフラクソイド型論理の超伝導NOR回路は、入力信号は2個であり（input 1とinput 2）、より多くの入力信号がある場合には、このままでは対応できない。多入力にするために、多段にOR回路を構成することもできるが、その場合には入力信号数に応じて回路規模と消費電力が増大するという問題点がある。さらに、SFQ回路の特徴として、入力信号はインダクタンスを介して直接入力されるため、大規模な回路の場合、NOR回路の個数に比例して入力信号電流も増大させる必要があるという大きな問題点がある。

【0010】本発明の目的は、上記従来の技術が有する問題点を解決するためになされたものであり、直流電源で動作可能で、消費電力を増大させることなく多数の入力信号が入力可能な超伝導NOR回路を提供することにある。

【0011】

【課題を解決するための手段】上記目的を達成するため、本発明では、超伝導量子干渉素子を接続した多入力磁界結合素子によって構成されたOR回路と、単一磁束量子を動作の基本とするNOT回路とを備え、OR回路の多入力磁界結合素子のジョセフソン接合は、マッカンバ係数が1以上のアンダーダンピング状態で動作するように、設定されており、他方、NOT回路のジョセフソン接合は、マッカンバ係数が1以下のオーバーダンピング状態で動作するように、設定されており、これにより、直流電源で駆動できる超伝導NOR回路が得られる。

【0012】より具体的に言えば、本発明の超伝導NOR回路は、少なくとも2個以上のジョセフソン接合とイ

ンダクタンスから成る超伝導ループと、前記超伝導ループに接続された2個の接続端と、前記超伝導ループに磁氣的に結合するように配置された1本または複数本の入力信号配線とから構成される超伝導量子干渉素子を複数個直列に前記接続端間を接続した多入力磁界結合素子と、第1の抵抗と、第2の抵抗と、第1のインダクタンスと、単一磁束量子を動作の基本とするNOT回路とから構成され、前記多入力磁界結合素子の一端は接地面に接続され他端は第1の接続点に接続され、前記第1の抵抗の一端は直流電流供給端子に接続され他端は前記第1の接続点に接続され、前記第1の接続点と前記NOT回路の信号入力端間に前記第2の抵抗と前記第1のインダクタンスが接続された構成を有する。加えて、前記NOT回路は、信号入力端と直流バイアス入力端とクロック信号入力端と出力端を有し、前記信号入力端から入力されたデータ信号を単一磁束量子として保持し、その後クロック信号が入力された時に、その補信号を出力端に単一磁束量子パルスの形で出力することが可能な単一磁束量子NOT回路であること、更に、前記多入力磁界結合素子の全てのジョセフソン接合は、マッカンバ係数が1以上のアンダーダンピング状態で動作するように設定され、一方前記NOT回路の全てのジョセフソン接合は、マッカンバ係数が1以下のオーバーダンピング状態で動作するように設定されていること、且つ前記多入力磁界結合型素子の磁氣的に結合された複数個の入力信号配線の少なくとも1個以上に信号が入力された時、前記多入力磁界結合型素子がセルフリセットモードで動作し、少なくとも1個以上の単一磁束量子パルスを第2の抵抗と第1のインダクタンスを介してNOT回路に入力することが可能なように、前記第2の抵抗と第1のインダクタンスの値が所望の値に設定された構成を有する。

【0013】本発明の特徴は、電圧型論理の多入力OR回路をセルフリセットモードで動作させることにより、直流バイアスでの動作を可能にし、且つ、これにより発生する複数のSFQパルス（MFQパルスと呼ぶこともある）をSFQ\_NOT回路で否定論理を取ると同時にSFQパルスに変換して出力させる点にある。

【0014】

【発明の実施の形態】次に、本発明について図面を参照して説明する。

（第1の実施形態）図1は、本発明の第1の形態に係る超伝導NOR回路の構成を示す等価回路図である。本実施形態の超伝導NOR回路は、磁界結合型多入力OR回路と、SFQ\_NOT回路と、バイアスフィード抵抗（ $R_{b1}$ 、 $R_{b2}$ ）と、インダクタンス（ $L_1$ ）と、負荷抵抗（ $R_L$ ）とから構成されている。

【0015】磁界結合型多入力OR回路は、直列接続された3個の超伝導量子干渉素子（SQUID1、SQUID2、SQUID3）から構成されている。3個の超伝導量子干渉素子は、全て同じ回路構成であり、2つのジョセフソン接合

( $J_{s1}$ と $J_{s2}$ )とインダクタンスからなる超伝導ループとこの超伝導ループに磁気的に結合する様に配置された1本の入力信号配線とで構成されている。

【0016】一方、SFQ\_NOT回路は、ジョセフソン接合( $J_1, J_2, J_3, J_4$ )と、ジョセフソン接合のシャント抵抗( $r_1, r_2, r_3, r_4$ )と、インダクタンス( $L_2$ )と、ダンピング抵抗( $Rd_1, Rd_2$ )とから構成されている。

【0017】磁界結合型多入力OR回路には、バイアスフィード抵抗( $Rb_1$ )を介して、SFQ\_NOT回路には、バイアスフィード抵抗( $Rb_2$ )を介してそれぞれ所望の値の直流電流(DC)が流され、バイアスされている。

【0018】3つ入力信号(input1, input2, input3)は、それぞれ3つの超伝導量子干渉素子(SQUID1, SQUID2, SQUID3)の入力信号配線に入力される。出力信号(out)は、SFQ\_NOT回路の出力端から出力される。

【0019】NOT回路を構成するジョセフソン接合のシャント抵抗( $r_1, r_2, r_3, r_4$ )の値は、ジョセフソン接合( $J_1, J_2, J_3, J_4$ )がマッカンバ定数 $\beta = 1$ 以下のオーバーダンピング状態で動作するように所望の値に設定されている。一方、OR回路を構成する超伝導量子干渉素子SQUIDのジョセフソン接合( $J_{s1}, J_{s2}$ )は、マッカンバ定数 $\beta = 1$ 以上のアンダーダンピング状態で動作可能な接合特性を有している。

【0020】例えば、一例としてこれらの回路定数を以下のように設定することが出来る。 $J_1 = 0.276 \text{ mA}$ ,  $J_2 = 0.23 \text{ mA}$ ,  $J_3 = 0.3 \text{ mA}$ ,  $J_4 = 0.177 \text{ mA}$ ,  $J_{s1} = 0.125 \text{ mA}$ ,  $J_{s2} = 0.125 \text{ mA}$ ,  $L_1 = 10 \text{ pH}$ ,  $L_2 = 9.5 \text{ pH}$ ,  $r_1 = 1.4 \Omega$ ,  $r_2 = 1.6 \Omega$ ,  $r_3 = 1.2 \Omega$ ,  $r_4 = 2.1 \Omega$ ,  $RL_1 = 1.0 \Omega$ ,  $Rd_1 = 0.5 \Omega$ ,  $Rd_2 = 0.5 \Omega$ ,  $Rb_1 = 57.7 \Omega$ ,  $Rb_2 = 11.5 \Omega$ ,  $I_{dc1} = 0.19 \text{ mA}$ ,  $I_{dc2} = 0.24 \text{ mA}$ 、図2にシミュレーションによる動作波形の概略図を示す。上から、入力信号(input1, input2, input3)、磁界結合型多入力OR回路の出力、SFQ\_NOT回路へのクロック信号、SFQ\_NOT回路の出力波形である。入力信号は、SFQパルスではなくラッチングロジックからのレベル信号(ある一定の時間ほぼ一定の電圧状態を維持する信号)を仮定している。

【0021】これらの動作波形を参照して、本実施例の動作を説明する。少なくとも1つ以上の入力信号(input1, input2, input3)が加わると、直列接続された3個の超伝導量子干渉素子(SQUID1, SQUID2, SQUID3)の少なくとも1つ以上の超伝導量子干渉素子が電圧状態にスイッチする。その結果、3個の超伝導量子干渉素子を介して接地面に流れていた直流バイアス電流は、負荷抵抗( $RL_1$ )とインダクタンス( $L_1$ )を介してSFQ\_NOT回路に注入される。この時、少なくとも1個以上の磁束

量子を発生した後(図でOR\_outの波形)、超伝導量子干渉素子は超伝導ループ状態にリセットする(負荷抵抗( $RL_1$ )の値を所望の値に設定することにより、この様に磁界結合型多入力OR回路はセルフリセットモードで動作する)。この複数個の多数磁束量子の個数や大きさは、入力信号の個数や大きさによりかなり変動する。

【0022】図では、OR\_outの波形として、2個又は3個のSFQパルスが出た場合の波形を示している。この信号が、SFQ\_NOT回路に入力される。SFQ\_NOT回路では、SFQパルス信号が入力された後にクロック信号(SFQパルス)が入力されると、出力信号は発生せず、一方SFQパルス信号が入力されない状態でクロック信号が入力されるとSFQパルスを出力するという否定動作を行う。クロック信号間に複数個のSFQパルスが入力しても、SFQ\_NOT回路は、最初のSFQパルスで状態“1”を保持するので、その後SFQパルスが入力されてもクロック信号が入力されない限り状態は変化しない。このため、SFQ\_NOT回路の入力に図の様に複数個のSFQパルスが入力しても回路の誤動作は生じない。

【0023】図示された例の場合、少なくとも1個以上のSFQパルスがクロック信号間に入力されると出力パルスは生じないが、クロック信号間にSFQパルスが全く入力されない時は、クロック信号の入力に応じてSFQの出力パルスが発生している様子が示されている。以上の動作により、3入力ORの否定動作、即ち3入力NORの論理動作が実現されている。

【0024】以上説明したように、本実施形態の超伝導NOR回路により、直流電流駆動でSFQを動作の基本とする3入力の超伝導NOR回路を実現できるという効果がある。

【0025】本実施形態では、磁界結合型多入力OR回路として、超伝導量子干渉素子を3個直列に接続することで、3入力のNOR回路を実現したが、超伝導量子干渉素子を2個、或いは4個以上の多数直列に接続した回路でも同様の動作が可能であり、直列に接続した超伝導量子干渉素子の個数に応じた入力数のNOR回路を実現することが出来る。

(第2の実施形態)図3は、本発明の超伝導NOR回路の第2の実施例の構成を示す等価回路図である。本実施例は、本発明の超伝導NOR回路を8個用いて3ビットのアドレス信号入力で8ビットの出力が得られるNOR型デコーダ回路を構成した場合の実施例である。本実施例のNOR型デコーダ回路は、8個の超伝導NOR回路と、6個の電圧型論理のドライバ回路と、入力信号線路の終端の挿入された6個の負荷抵抗とで構成されている。8個のNOR回路は全て直流電流(DC)でバイアスされ、6個の電圧型論理のドライバ回路のみ交流電流(AC)でバイアスされている。アドレス信号の各ビットの入力信号配線は、真信号と補信号のどちらか一方が

OR回路のSQUIDに磁気的に結合するように配置されている。電圧型論理のドライバ回路は、アドレス信号（NOR回路への入力信号）を8個の超伝導NOR回路に伝達するためのドライバ回路である。入力信号線路は、SQUIDの入力信号配線を8個直列に接続しているので大きなインダクタンスを持つため、駆動能力の高い電圧型論理のドライバ回路を用いている。3ビットのアドレス信号の真信号をA、B、Cで、その補信号をそれぞれの記号の上にバーを付けて示した。従って、3ビットのアドレス信号は、真信号と補信号を併せて6個の信号で構成されている。

【0026】次に、このNOR型デコーダ回路の動作を簡単に説明する。

【0027】まず、3ビットのアドレス信号は、電圧型論理のドライバ回路で8個のNOR回路の磁界結合型多入力OR回路に伝達される。磁界結合型多入力OR回路で3ビットのアドレス信号の論理和が取られ、その結果がそれぞれ各NOT回路に入力され否定論理を取って出力される。従って、磁界結合型多入力OR回路が電圧状態にスイッチしない回路のみ、その否定論理を取ってNOT回路が出力“1”を発生させる。例えば、図の上から2段目のNOR回路では、アドレスAとBの補信号とアドレスCの真信号の入力信号配線は、磁界結合型多入力OR回路に磁気的に結合していないため、このアドレスに対応した信号が磁界結合型多入力OR回路に入力しても磁界結合型多入力OR回路は電圧状態にスイッチしない。そのため、2段目のNOT回路から出力“1”が得られる。アドレス信号に対応した8ビットの出力信号（Out）を図中に記した。

【0028】以上説明したように、本実施形態により、本発明の超伝導NOR回路を用いて直流電源で動作するデコーダ回路を容易に実現できるという効果がある。

【0029】本実施例では、磁界結合型多入力OR回路として、超伝導量子干渉素子（SQUID）を3個直列に接続した3入力のNOR回路により8ビット出力のNOR型デコーダ回路を実現したが、超伝導量子干渉素子（SQUID）をN個直列に接続し、NOR回路を2のN乗個配置することで、2のN乗ビット出力のデコーダ回路を実現することが出来る。

【0030】

【発明の効果】以上説明した様に本発明により、直流電源で動作可能で、消費電力を増大させることなく多数の入力信号が入力可能な超伝導NOR回路を実現できる。

さらに、超伝導NOR回路を複数個用いることで容易に直流電源駆動のデコーダ回路を実現することが出来る。

【図面の簡単な説明】

【図1】本発明の第1の実施形態に係る超伝導NOR回路を説明するための等価回路図である。

【図2】本発明の超伝導NOR回路の実施例を説明するためのシミュレーション波形の概略図。

【図3】本発明の第2の実施形態に係る超伝導NOR回路を説明するための等価回路図である。

【図4】電圧型論理を用いた従来の超伝導NOR回路を説明するための等価回路図である。

【図5】フラクソイド型論理を用いた従来の超伝導NOR回路を説明するための等価回路図である。

【符号の説明】

J1 - J4, J11 - J16, Js1, Js2

ジョセフソン接合

L1, L2, L11 - L15

インダクタンス

Rd1, Rd2

ダンピング抵抗

r1 - r4, r11 - r16

シャント抵抗

Rb1, Rb2, Rb11, Rb12

バイアスフィード抵抗

RL1, RL2, RL3

負荷抵抗

DC\_bias

直流バイアス電流

AC\_bias

交流バイアス電流

Input 1, input 2, input 3, input N

入力信号

Clock

クロック信号

Out

出力信号端

OR\_out

OR回路の出力

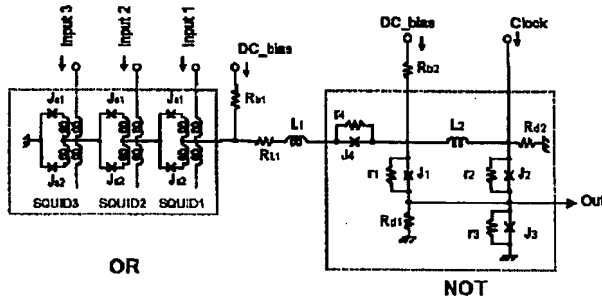
NOT\_out

NOT回路の出力

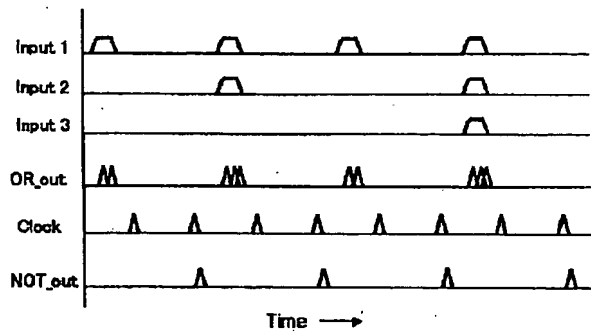
A, B, C

アドレス信号

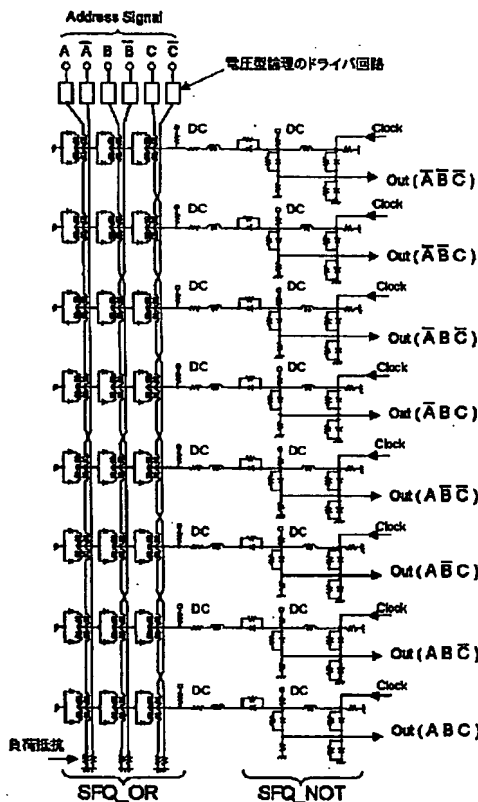
【図1】



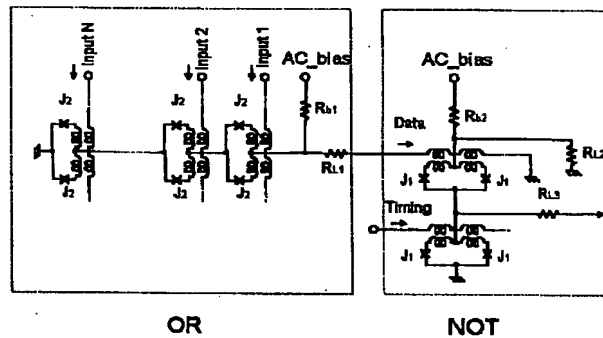
【図2】



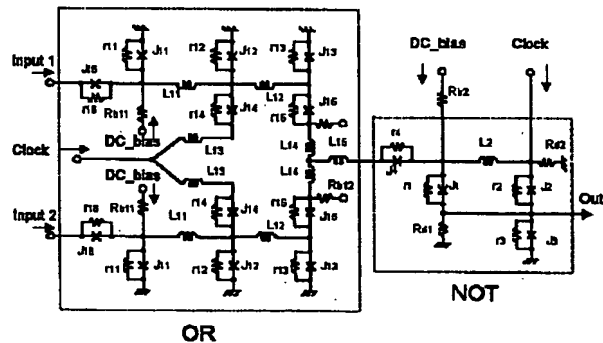
【図3】



【図4】



【図5】



フロントページの続き

(72)発明者 宮原 一紀

東京都江東区東雲一丁目14番3号 財団法人  
国際超電導産業技術研究センター 超  
電導工学研究所内

(72)発明者 榎本 陽一

東京都江東区東雲一丁目14番3号 財団法人  
国際超電導産業技術研究センター 超  
電導工学研究所内

Fターム(参考) 5J042 AA04 BA19 CA25 CA27 CA29

DA00 DA02